

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-060089

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

H01L 21/8244
H01L 21/3205
H01L 27/11

(21)Application number : 2001-247303

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.08.2001

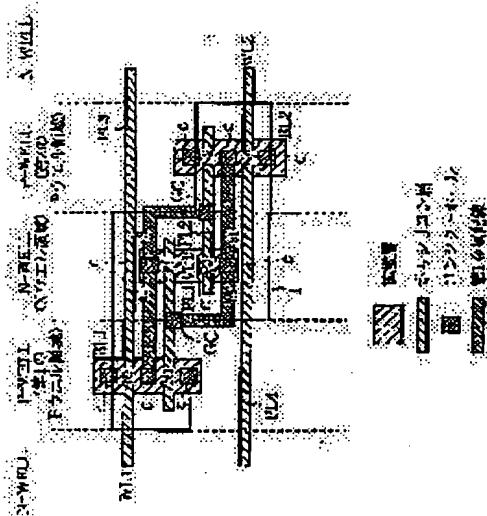
(72)Inventor : ARAI KOJI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problems of manufacture process increase, a long manufacture work term and a manufacture cost increase, etc. due to wiring layers increase as it is required to wire second metal wiring a2 and b2 to a layer different from first metal wiring a1 and b1, etc., though the integration of an SRAM can be improved.

SOLUTION: A P well region is divided, NMOS transistors N1 and N3 are formed in a first P well region, and NMOS transistors N2 and N4 are formed in a second P well region. Or, an N well region is divided, a PMOS transistor P1 is formed in a first N well region, and a PMOS transistor P2 is formed in a second N well region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2003-60089

(P2003-60089A)

(43)公開日 平成15年2月28日(2003.2.28)

| | | | |
|--------------------------|------|------------|------------|
| (51)Int.Cl. ⁷ | 識別記号 | FI | ターミナル*(参考) |
| H01L 21/8244 | | H01L 27/10 | 381 5F033 |
| 21/3205 | | 21/88 | Z 5F083 |
| 27/11 | | | |

審査請求 未請求 請求項の数16 O L (全 11 頁)

(21)出願番号 特願2001-247303(P2001-247303)

(22)出願日 平成13年8月16日(2001.8.16)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 新居 浩二

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム(参考) 5F033 HH04 UU04 VV16 XX03 XX23

XX33

5F083 BS27 BS46 GA09 GA28 GA30

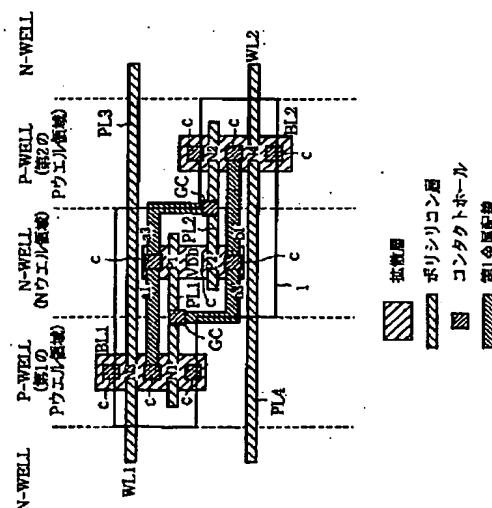
JA32 LA01 LA02

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 SRAMの集積度を高めることができるが、第2金属配線a2、b2を第1金属配線a1、b1等と別の層に配線する必要がある。そのため配線層が増加するので、製造工程が増加して、製造工期の長期化や製造コスト高が発生するなどの課題があった。

【解決手段】 Pウェル領域を分割して、NMOSトランジスタN1、N3を第1のPウェル領域に形成し、NMOSトランジスタN2、N4を第2のPウェル領域に形成する。あるいは、Nウェル領域を分割して、PMOSトランジスタP1を第1のNウェル領域に形成し、PMOSトランジスタP2を第2のNウェル領域に形成する。



【特許請求の範囲】

【請求項 1】 第 1 の PMOS トランジスタと第 1 の NMOS トランジスタから構成された第 1 のインバータと、第 2 の PMOS トランジスタと第 2 の NMOS トランジスタから構成されるとともに、入力端子が上記第 1 のインバータの出力端子と接続され、かつ、出力端子が上記第 1 のインバータの入力端子と接続された第 2 のインバータと、上記第 1 のインバータの出力端子と接続された第 3 の NMOS トランジスタと、上記第 2 のインバータの出力端子と接続された第 4 の NMOS トランジスタとを備えた半導体記憶装置において、上記第 1 及び第 2 の PMOS トランジスタを N ウェル領域に形成するとともに、上記第 1 及び第 3 の NMOS トランジスタを第 1 の P ウェル領域に形成し、かつ、上記第 2 及び第 4 の NMOS トランジスタを第 2 の P ウェル領域に形成する一方、上記第 3 の NMOS トランジスタに第 1 のワード線を配線し、上記第 4 の NMOS トランジスタに第 2 のワード線を配線することを特徴とする半導体記憶装置。

【請求項 2】 ソースとドレインが第 1 及び第 2 のワード線と直交する方向に並ぶように、第 1 及び第 2 の PMOS トランジスタを形成することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 第 1 及び第 2 の PMOS トランジスタのソースを N ウェル領域に形成されている P+ 拡散領域の電源電位に接続することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 ソースとドレインが第 1 のワード線と直交する方向に並ぶように、第 1 及び第 3 の NMOS トランジスタを形成することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 ソースとドレインが第 2 のワード線と直交する方向に並ぶように、第 2 及び第 4 の NMOS トランジスタを形成することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 第 1 の P ウェル領域と他のメモリセルを構成する第 2 の P ウェル領域が同一の P ウェル領域を共有化し、第 2 の P ウェル領域と他のメモリセルを構成する第 1 の P ウェル領域が同一の P ウェル領域を共有化することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】 第 1 の NMOS トランジスタのソースと、他のメモリセルを構成する第 2 の NMOS トランジスタのソースとを P ウェル領域に形成されている N+ 拡散領域のグラウンド電位に接続することを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 第 1 及び第 2 の P ウェル領域と N ウェル領域を第 1 及び第 2 のワード線と直交する方向に短冊状に形成することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 9】 第 3 の NMOS トランジスタに接続されるビット線と、第 4 の NMOS トランジスタに接続され

るビット線との間に電源線又はグラウンド線を配線することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 10】 第 1 の NMOS トランジスタと第 1 の PMOS トランジスタから構成された第 1 のインバータと、第 2 の NMOS トランジスタと第 2 の PMOS トランジスタから構成されるとともに、入力端子が上記第 1 のインバータの出力端子と接続され、かつ、出力端子が上記第 1 のインバータの入力端子と接続された第 2 のインバータと、上記第 1 のインバータの出力端子と接続された第 3 の NMOS トランジスタと、上記第 2 のインバータの出力端子と接続された第 4 の NMOS トランジスタとを備えた半導体記憶装置において、上記第 1 から第 4 の NMOS トランジスタを P ウェル領域に形成するとともに、上記第 1 の PMOS トランジスタを第 1 の N ウェル領域に形成し、かつ、上記第 2 の PMOS トランジスタを第 2 の N ウェル領域に形成する一方、上記第 3 の NMOS トランジスタに第 1 のワード線を配線し、上記第 4 の NMOS トランジスタに第 2 のワード線を配線することを特徴とする半導体記憶装置。

【請求項 11】 ソースとドレインが第 1 及び第 2 のワード線と直交する方向に並ぶように、第 1 から第 4 の NMOS トランジスタを形成することを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 12】 第 1 及び第 2 の NMOS トランジスタのソースを P ウェル領域に形成されている N+ 拡散領域のグラウンド電位に接続することを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 13】 第 1 の N ウェル領域と他のメモリセルを構成する第 2 の N ウェル領域が同一の N ウェル領域を共有化し、第 2 の N ウェル領域と他のメモリセルを構成する第 1 の N ウェル領域が同一の N ウェル領域を共有化することを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 14】 第 1 の PMOS トランジスタのソースと、他のメモリセルを構成する第 2 の PMOS トランジスタのソースとを N ウェル領域に形成されている P+ 拡散領域の電源電位に接続することを特徴とする請求項 13 記載の半導体記憶装置。

【請求項 15】 第 1 及び第 2 の N ウェル領域と P ウェル領域を第 1 及び第 2 のワード線と直交する方向に短冊状に形成することを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 16】 第 3 の NMOS トランジスタに接続されるビット線と、第 4 の NMOS トランジスタに接続されるビット線との間に電源線又はグラウンド線を配線することを特徴とする請求項 10 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、CMOS スタティック RAM のメモリセルを構成する半導体記憶装置に

関するものである。

【0002】

【従来の技術】図9は従来の半導体記憶装置を示すレイアウト構成図であり、図において、1は1ビットのSRAM、N1、N2、N3、N4はPウェル領域に形成されたNMOSトランジスタ、P1、P2はNウェル領域に形成されたPMOSトランジスタである。なお、NMOSトランジスタN1とPMOSトランジスタP1から第1のインバータが構成され、NMOSトランジスタN2とPMOSトランジスタP2から第2のインバータが構成されている。

【0003】a1はNMOSトランジスタN1のドレインとPMOSトランジスタP1のドレインを接続する第1金属配線、a2は第1のインバータの出力端子と第2のインバータの入力端子を接続する第2金属配線であり、第1金属配線a1及び第2金属配線a2から記憶ノードを構成する。b1はNMOSトランジスタN2のドレインとPMOSトランジスタP2のドレインを接続する第1金属配線、b2は第2のインバータの出力端子と第1のインバータの入力端子を接続する第2金属配線であり、第1金属配線b1及び第2金属配線b2から記憶ノードを構成する。

【0004】Cは拡散コンタクトホール、GCはゲートコンタクトホール、VDDはNウェル領域に形成されているP+拡散領域の電源電位、GNDはPウェル領域に形成されているN+拡散領域のグラウンド電位、WL1はNMOSトランジスタN3のゲートに接続されているワード線、WL2はNMOSトランジスタN4のゲートに接続されているワード線、BL1はNMOSトランジスタN3のドレインに接続されているビット線、BL2はNMOSトランジスタN4のドレインに接続されているビット線である。

【0005】次に動作について説明する。図9のようにレイアウトした場合、図2のような回路構成のSRAMを構成することができる。図9のような半導体記憶装置を生成する場合、例えば、NMOSトランジスタN1、N2、N3、N4、PMOSトランジスタP1、P2、第1金属配線a1、b1、ワード線WL1、WL2については第1層目に形成する。そして、第2金属配線b1、b2については第2層目に形成し、ビット線BL1、BL2については第3層目に形成する。

【0006】

【発明が解決しようとする課題】従来の半導体記憶装置は以上のように構成されているので、SRAMの集積度を高めることができるが、第2金属配線a2、b2を第1金属配線a1、b1等と別の層に配線する必要がある。そのため配線層が増加するので、製造工程が増加して、製造工期の長期化や製造コスト高が発生するなどの課題があった。

【0007】なお、上記従来例の他に、Pウェル領域を

分割することにより、第2金属配線a2、b2を第1金属配線a1、b1等と同一の層に配線する技術が特開2001-28401号公報に開示されているが、この例の場合、1本のワード線を共有化しているため、当該ワード線を別の層に配線しなければならない。

【0008】この発明は上記のような課題を解決するためになされたもので、少ない配線層で高集積化を図ることができる半導体記憶装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る半導体記憶装置は、第1及び第2のPMOSトランジスタをNウェル領域に形成するとともに、第1及び第3のNMOSトランジスタを第1のPウェル領域に形成し、かつ、第2及び第4のNMOSトランジスタを第2のPウェル領域に形成する一方、第3のNMOSトランジスタに第1のワード線を配線し、第4のNMOSトランジスタに第2のワード線を配線するようにしたものである。

【0010】この発明に係る半導体記憶装置は、ソースとドレインが第1及び第2のワード線と直交する方向に1列に並ぶように、第1及び第2のPMOSトランジスタを形成するようにしたものである。

【0011】この発明に係る半導体記憶装置は、第1及び第2のPMOSトランジスタのソースをNウェル領域に形成されているP+拡散領域の電源電位に接続するようにしたものである。

【0012】この発明に係る半導体記憶装置は、ソースとドレインが第1のワード線と直交する方向に1列に並ぶように、第1及び第3のNMOSトランジスタを形成するようにしたものである。

【0013】この発明に係る半導体記憶装置は、ソースとドレインが第2のワード線と直交する方向に1列に並ぶように、第2及び第4のNMOSトランジスタを形成するようにしたものである。

【0014】この発明に係る半導体記憶装置は、第1のPウェル領域と他のメモリセルを構成する第2のPウェル領域が同一のPウェル領域を共有化し、第2のPウェル領域と他のメモリセルを構成する第1のPウェル領域が同一のPウェル領域を共有化するようにしたものである。

【0015】この発明に係る半導体記憶装置は、第1のNMOSトランジスタのソースと、他のメモリセルを構成する第2のNMOSトランジスタのソースとをPウェル領域に形成されているN+拡散領域のグラウンド電位に接続するようにしたものである。

【0016】この発明に係る半導体記憶装置は、第1及び第2のPウェル領域とNウェル領域を第1及び第2のワード線と直交する方向に短冊状に形成するようにしたものである。

【0017】この発明に係る半導体記憶装置は、第3のNMOSトランジスタに接続されるビット線と、第4の

NMOSトランジスタに接続されるビット線との間に電源線又はグランド線を配線するようにしたものである。

【0018】この発明に係る半導体記憶装置は、第1から第4のNMOSトランジスタをPウェル領域に形成するとともに、第1のPMOSTランジスタを第1のNウェル領域に形成し、かつ、第2のPMOSTランジスタを第2のNウェル領域に形成する一方、第3のNMOSTランジスタに第1のワード線を配線し、第4のNMOSTランジスタに第2のワード線を配線するようにしたものである。

【0019】この発明に係る半導体記憶装置は、ソースとドレインが第1及び第2のワード線と直交する方向に一直列に並ぶように、第1から第4のNMOSTランジスタを形成するようにしたものである。

【0020】この発明に係る半導体記憶装置は、第1及び第2のNMOSTランジスタのソースをPウェル領域に形成されているN+拡散領域のグランド電位に接続するようにしたものである。

【0021】この発明に係る半導体記憶装置は、第1のNウェル領域と他のメモリセルを構成する第2のNウェル領域が同一のNウェル領域を共有化し、第2のNウェル領域と他のメモリセルを構成する第1のNウェル領域が同一のNウェル領域を共有化するようにしたものである。

【0022】この発明に係る半導体記憶装置は、第1のPMOSTランジスタのソースと、他のメモリセルを構成する第2のPMOSTランジスタのソースとをNウェル領域に形成されているP+拡散領域の電源電位に接続するようにしたものである。

【0023】この発明に係る半導体記憶装置は、第1及び第2のNウェル領域とPウェル領域を第1及び第2のワード線と直交する方向に短冊状に形成するようにしたものである。

【0024】この発明に係る半導体記憶装置は、第3のNMOSTランジスタに接続されるビット線と、第4のNMOSTランジスタに接続されるビット線との間に電源線又はグランド線を配線するようにしたものである。

【0025】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による半導体記憶装置を示すレイアウト構成図であり、図2は図1の半導体記憶装置を示す回路図である。図において、1は1ビットのSRAM、N1は第1のPウェル領域に形成されたNMOSTランジスタ（第1のNMOSTランジスタ）、N2は第2のPウェル領域に形成されたNMOSTランジスタ（第2のNMOSTランジスタ）、N3は第1のPウェル領域に形成されたNMOSTランジスタ（第3のNMOSTランジスタ）、N4は第2のPウェル領域に形成されたNMOSTランジスタ（第4

のNMOSTランジスタ）、P1はNウェル領域に形成されたPMOSTランジスタ（第1のPMOSTランジスタ）、P2はNウェル領域に形成されたPMOSTランジスタ（第2のPMOSTランジスタ）である。なお、NMOSTランジスタN1とPMOSTランジスタP1から第1のインバータが構成され、NMOSTランジスタN2とPMOSTランジスタP2から第2のインバータが構成されている。

【0026】a1はNMOSTランジスタN1のドレインとPMOSTランジスタP1のドレインを接続する第1金属配線、a3は第1のインバータの出力端子と第2のインバータの入力端子を接続する第1金属配線であり、第1金属配線a1、a3から記憶ノードを構成する。b1はNMOSTランジスタN2のドレインとPMOSTランジスタP2のドレインを接続する第1金属配線、b3は第2のインバータの出力端子と第1のインバータの入力端子を接続する第1金属配線であり、第1金属配線b1、b3から記憶ノードを構成する。

【0027】Cは拡散コンタクトホール、GCはゲートコンタクトホール、VDDはNウェル領域に形成されているP+拡散領域の電源電位、GNDはPウェル領域に形成されているN+拡散領域のグランド電位、WL1はNMOSTランジスタN3のゲートに接続されているワード線（第1のワード線）、WL2はNMOSTランジスタN4のゲートに接続されているワード線（第2のワード線）、BL1はNMOSTランジスタN3のドレインに接続されているビット線、BL2はNMOSTランジスタN4のドレインに接続されているビット線、PL1はPMOSTランジスタP1のゲートとNMOSTランジスタN1のゲートを接続するポリシリコン配線、PL2はPMOSTランジスタP2のゲートとNMOSTランジスタN2のゲートを接続するポリシリコン配線、PL3はワード線WL1を構成するポリシリコン配線、PL4はワード線WL2を構成するポリシリコン配線である。

【0028】次に動作について説明する。図1においては、ウェルから第1金属配線までのレイアを示しており、1つのN型のウェル領域と、2つのP型のウェル領域を形成している。なお、第1及び第2のPウェル領域とNウェル領域はワード線WL1、WL2と直交する方向に短冊状に形成している。PMOSTランジスタP1、P2は、1つのNウェル領域内に形成する一方、NMOSTランジスタN1、N3は、第1のPウェル領域内に形成し、NMOSTランジスタN2、N4は、第2のPウェル領域内に形成する。

【0029】図中、拡散層とポリシリコン層の重なり部分がトランジスタになる。PMOSTランジスタP1のゲートとNMOSTランジスタN1のゲートは、ポリシリコン配線PL1を介して互いに接続され、また、記憶ノードを構成する第1金属配線b3と接続されてい

る。同様に、PMOSトランジスタP2のゲートとNMOSトランジスタN2のゲートは、ポリシリコン配線PL2を介して互いに接続され、また、記憶ノードを構成する第1金属配線a3と接続されている。

【0030】Nウェル領域内にはP型不純物を注入してP+拡散領域を形成し、Pウェル領域内にはN型不純物を注入してN+拡散領域を形成する。各々の拡散領域には、少なくとも1個以上の拡散コンタクトホールCを形成し、その拡散コンタクトホールCを介して拡散領域と第1金属配線a1、a3、b1、b3を接続する。第1のPウェル領域の中央部にあるN+拡散領域と、Nウェル領域の上部にあるP+拡散領域は、拡散コンタクトホールCと第1金属配線a1によって低インピーダンスで電氣的に接続され、更に第1金属配線a3とゲートコンタクトホールGCによってポリシリコン配線PL2と低インピーダンスで電氣的に接続される。この部分は、SRAM1の一方の記憶ノード（第1金属配線a1、a3）を構成する。

【0031】また、第2のPウェル領域の中央部にあるN+拡散領域と、Nウェル領域の下部にあるP+拡散領域は、拡散コンタクトホールCと第1金属配線b1によって低インピーダンスで電氣的に接続され、更に第1金属配線b3とゲートコンタクトホールGCによってポリシリコン配線PL1と低インピーダンスで電氣的に接続される。この部分は、SRAM1の他方の記憶ノード（第1金属配線b1、b3）を構成する。

【0032】Nウェル領域の中央部にあるP+拡散領域は、拡散コンタクトホールC等を介して第2金属配線で配線されたVDD電位に接続される。なお、図1においては、分かり易くするため第1金属配線～第2金属配線までを省略している。図2の回路図においては、PMOSトランジスタP1、P2のソースに対応する部分である。また、第1のPウェル領域の下部にあるN+拡散領域と、第2のPウェル領域の上部にあるN+拡散領域は、各々拡散コンタクトホールC等を介して第2金属配線で配線されたGND電位に接続される。なお、図1においては、分かり易くするため第1金属配線～第2金属配線までを省略している。図2の回路図においては、NMOSトランジスタN1、N2のソースに対応する。

【0033】第1のPウェル領域の上部にあるN+拡散領域と、第2のPウェル領域の下部にあるN+拡散領域は、各々拡散コンタクトホールC等を介して第2金属配線で配線されたビット線BL1、BL2に各々接続される。ポリシリコン配線PL3、PL4は、水平方向に延伸して配線され、ワード線WL1、WL2を構成している。

【0034】以上で明らかなように、この実施の形態1によれば、NMOSトランジスタN1、N3を第1のPウェル領域内に形成し、NMOSトランジスタN2、N4を第2のPウェル領域内に形成することにより、各々

の記憶ノードを相互に接続する第1金属配線a3、b3が重なることなく効率良く配線することができる。したがって、第1金属配線a3、b3を第1金属配線a1、b1と同一の配線層に配線することができるため、半導体記憶装置の配線層を減らすことができる。また、ポリシリコン配線PL1、PL2、PL3、PL4の向きが同一方向になるので、ゲート寸法の制御が容易になるばかりでなく、無駄な領域がなくなり、面積の縮減を図ることができる。

10 【0035】なお、図1より明らかであるが、ソースとドレインがワード線WL1、WL2と直交する方向に並ぶように、PMOSトランジスタP1、P2を形成する。また、ソースとドレインがワード線WL1と直交する方向に並ぶように、NMOSトランジスタN1、N3を形成する。さらに、ソースとドレインがワード線WL2と直交する方向に並ぶように、NMOSトランジスタN2、N4を形成する。これにより、Pウェル領域やNウェル領域の幅を狭くすることができる効果を奏する。

20 【0036】実施の形態2. 上記実施の形態1では、半導体記憶装置が1ビットのSRAMであるものについて示したが、複数のビットのSRAMである場合には、図3に示すようなレイアウト構成を行うようにする。なお、図4は図3の半導体記憶装置を示す回路図である。

【0037】この実施の形態2では、メモリセルm0のNMOSトランジスタN1のソースが接続されているN+拡散領域（図1では、第1のPウェル領域の下部にあるN+拡散領域に相当する）に対して、メモリセルm1のNMOSトランジスタN2のソースを接続することにより、当該N+拡散領域の共有化を図るようにする。同様に、メモリセルm0のNMOSトランジスタN2のソースが接続されているN+拡散領域（図1では、第2のPウェル領域の上部にあるN+拡散領域に相当する）に対して、メモリセルm2のNMOSトランジスタN1のソースを接続することにより、当該N+拡散領域の共有化を図るようにする。

【0038】このようなレイアウト構成にする場合、複数のメモリセルをジグソーパズルのように嵌め込むことができるので、無駄な領域を省いて面積の縮小を図ることができる効果を奏する。

【0039】なお、各メモリセルにおけるNMOSトランジスタN3、N4のドレインに接続されるビット線BL1、BL2は、図3に示すように、第2層目において、互いに隣接することなく、電源線またはグランド線が間に入るように配線する。これにより、ビット線間がVDD電位またはGND電位によりシールドされるので、クロストークなどによるビット線間の干渉を抑制することができる効果を奏する。

【0040】実施の形態3. 上記実施の形態1では、Pウェル領域を分割して、NMOSトランジスタN1、N

3を第1のPウェル領域に形成し、NMOSトランジスタN2、N4を第2のPウェル領域に形成するものについて示したが、図5及び図6に示すように、Nウェル領域を分割して、PMOSトランジスタP1を第1のNウェル領域に形成し、PMOSトランジスタP2を第2のNウェル領域に形成するようにしてもよく、上記実施の形態1と同様の効果を奏する。

【0041】その他の部分は、上記実施の形態1における記載から類推できるため詳細な説明は省略するが、NMOSトランジスタN1、N2、N3、N4についてはPウェル領域に形成する。その際、ソースとドレインがワード線WL1、WL2と直交する方向に一直列に並ぶように、NMOSトランジスタN1、N2、N3、N4を形成する。なお、NMOSトランジスタN1、N2のソースは、Pウェル領域に形成されているN+拡散領域のグランド電位に接続する。

【0042】実施の形態4. 上記実施の形態3では、半導体記憶装置が1ビットのSRAMであるものについて示したが、複数のビットのSRAMである場合には、図7に示すようなレイアウト構成を行うようにする。なお、図8は図7の半導体記憶装置を示す回路図である。

【0043】この実施の形態4では、メモリセルm0のPMOSトランジスタP1のソースが接続されているP+拡散領域に対して、メモリセルm1のPMOSトランジスタP2のソースを接続することにより、当該P+拡散領域の共有化を図るようにする。同様に、メモリセルm0のPMOSトランジスタP2のソースが接続されているP+拡散領域に対して、メモリセルm2のPMOSトランジスタP1のソースを接続することにより、当該P+拡散領域の共有化を図るようにする。

【0044】このようなレイアウト構成にする場合、複数のメモリセルをジグソーパズルのように嵌め込むことができるので、無駄な領域を省いて面積の縮小を図ることができる効果を奏する。

【0045】なお、各メモリセルにおけるNMOSトランジスタN3、N4のドレインに接続されるビット線BL1、BL2は、図7に示すように、第2層目において、互いに隣接することなく、電源線またはグランド線が間に入るように配線する。これにより、ビット線間がVDD電位またはGND電位によりシールドされるので、クロストークなどによるビット線間の干渉を抑制することができる効果を奏する。

【0046】

【発明の効果】以上のように、この発明によれば、第1及び第2のPMOSトランジスタをNウェル領域に形成するとともに、第1及び第3のNMOSトランジスタを第1のPウェル領域に形成し、かつ、第2及び第4のNMOSトランジスタを第2のPウェル領域に形成する一方、第3のNMOSトランジスタに第1のワード線を配線し、第4のNMOSトランジスタに第2のワード線を

配線するように構成したので、少ない配線層で高集積化を図ることができる効果がある。

【0047】この発明によれば、ソースとドレインが第1及び第2のワード線と直交する方向に一直列に並ぶように、第1及び第2のPMOSトランジスタを形成するように構成したので、Nウェル領域の幅を狭くすることができる効果がある。

【0048】この発明によれば、第1及び第2のPMOSトランジスタのソースをNウェル領域に形成されているP+拡散領域の電源電位に接続するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0049】この発明によれば、ソースとドレインが第1のワード線と直交する方向に一直列に並ぶように、第1及び第3のNMOSトランジスタを形成するように構成したので、Pウェル領域の幅を狭くすることができる効果がある。

【0050】この発明によれば、ソースとドレインが第2のワード線と直交する方向に一直列に並ぶように、第2及び第4のNMOSトランジスタを形成するように構成したので、Pウェル領域の幅を狭くすることができる効果がある。

【0051】この発明によれば、第1のPウェル領域と他のメモリセルを構成する第2のPウェル領域が同一のPウェル領域を共有化し、第2のPウェル領域と他のメモリセルを構成する第1のPウェル領域が同一のPウェル領域を共有化するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0052】この発明によれば、第1のNMOSトランジスタのソースと、他のメモリセルを構成する第2のNMOSトランジスタのソースとをPウェル領域に形成されているN+拡散領域のグランド電位に接続するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0053】この発明によれば、第1及び第2のPウェル領域とNウェル領域を第1及び第2のワード線と直交する方向に短冊状に形成するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0054】この発明によれば、第3のNMOSトランジスタに接続されるビット線と、第4のNMOSトランジスタに接続されるビット線との間に電源線又はグランド線を配線するように構成したので、クロストークなどによるビット線間の干渉を抑制することができる効果がある。

【0055】この発明によれば、第1から第4のNMOSトランジスタをPウェル領域に形成するとともに、第1のPMOSトランジスタを第1のNウェル領域に形成し、かつ、第2のPMOSトランジスタを第2のNウェル領域に形成する一方、第3のNMOSトランジスタに

第1のワード線を配線し、第4のNMOSTランジスタに第2のワード線を配線するように構成したので、少ない配線層で高集積化を図ることができる効果がある。

【0056】この発明によれば、ソースとドレインが第1及び第2のワード線と直交する方向に一直列に並ぶように、第1から第4のNMOSTランジスタを形成するように構成したので、Pウェル領域の幅を狭くすることができる効果がある。

【0057】この発明によれば、第1及び第2のNMOSTランジスタのソースをPウェル領域に形成されているN+拡散領域のグランド電位に接続するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0058】この発明によれば、第1のNウェル領域と他のメモリセルを構成する第2のNウェル領域が同一のNウェル領域を共有化し、第2のNウェル領域と他のメモリセルを構成する第1のNウェル領域が同一のNウェル領域を共有化するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0059】この発明によれば、第1のPMOSTランジスタのソースと、他のメモリセルを構成する第2のPMOSTランジスタのソースとをNウェル領域に形成されているP+拡散領域の電源電位に接続するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0060】この発明によれば、第1及び第2のNウェル領域とPウェル領域を第1及び第2のワード線と直交する方向に短冊状に形成するように構成したので、無駄な領域を省いて面積の縮小を図ることができる効果がある。

【0061】この発明によれば、第3のNMOSTランジスタに接続されるビット線と、第4のNMOSTランジスタに接続されるビット線との間に電源線又はグランド線を配線するように構成したので、クロストークなど

によるビット線間の干渉を抑制することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体記憶装置を示すレイアウト構成図である。

【図2】 図1の半導体記憶装置を示す回路図である。

【図3】 この発明の実施の形態2による半導体記憶装置を示すレイアウト構成図である。

【図4】 図3の半導体記憶装置を示す回路図である。

【図5】 この発明の実施の形態3による半導体記憶装置を示すレイアウト構成図である。

【図6】 図5の半導体記憶装置を示す回路図である。

【図7】 この発明の実施の形態4による半導体記憶装置を示すレイアウト構成図である。

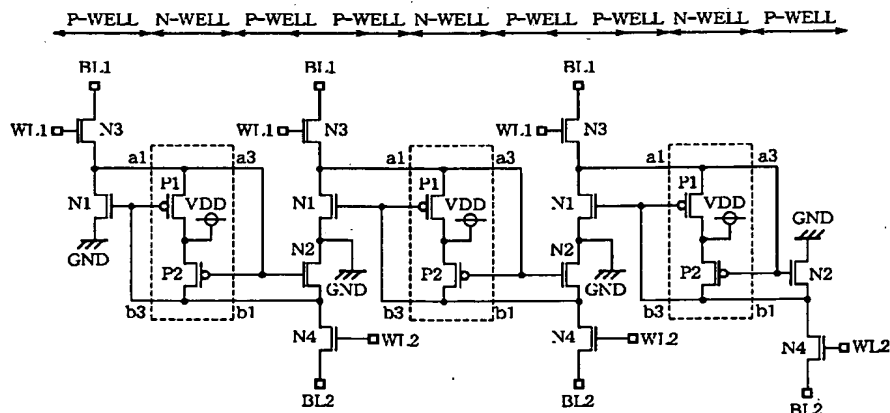
【図8】 図7の半導体記憶装置を示す回路図である。

【図9】 従来の半導体記憶装置を示すレイアウト構成図である。

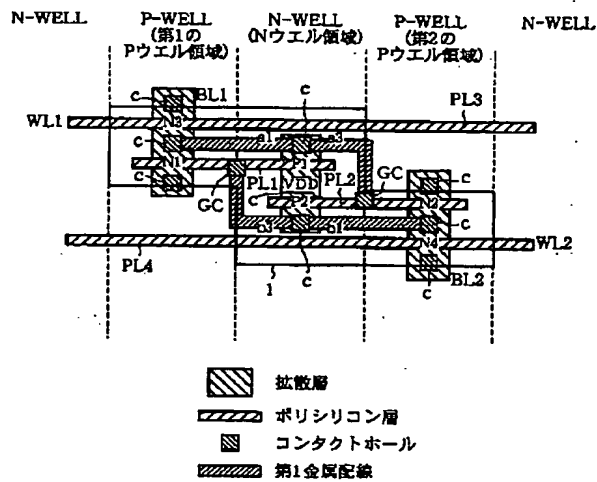
【符号の説明】

1 1ビットのSRAM、a1 第1金属配線、a3 第1金属配線、b1 第1金属配線、b3 第1金属配線、BL1 ビット線、BL2 ビット線、C拡散コンタクトホール、GC ゲートコンタクトホール、GND グランド電位、N1 NMOSTランジスタ（第1のNMOSTランジスタ）、N2 NMOSTランジスタ（第2のNMOSTランジスタ）、N3 NMOSTランジスタ（第3のNMOSTランジスタ）、N4 NMOSTランジスタ（第4のNMOSTランジスタ）、P1 PMOSTランジスタ（第1のPMOSTランジスタ）、P2 PMOSTランジスタ（第2のPMOSTランジスタ）、PL1 ポリシリコン配線、PL2 ポリシリコン配線、PL3 ポリシリコン配線、PL4 ポリシリコン配線、VDD 電源電位、WL1 ワード線（第1のワード線）、WL2 ワード線（第2のワード線）。

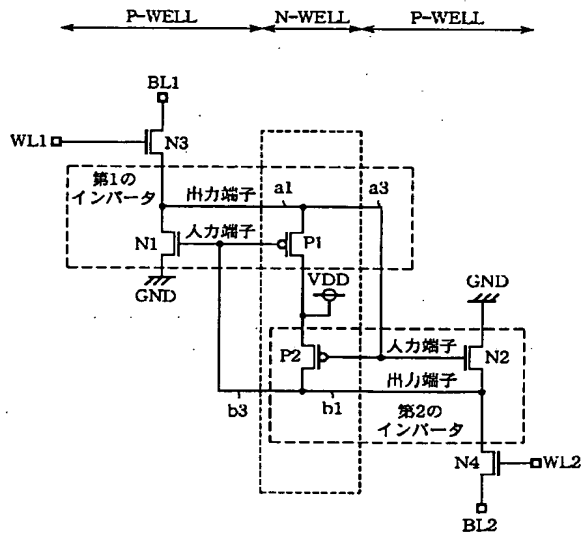
【図4】



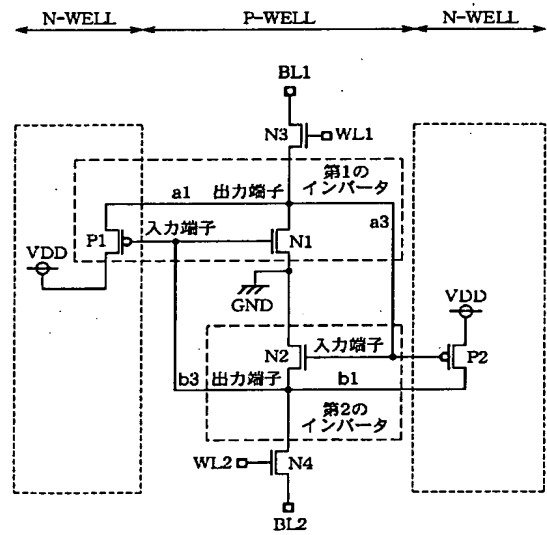
【図1】



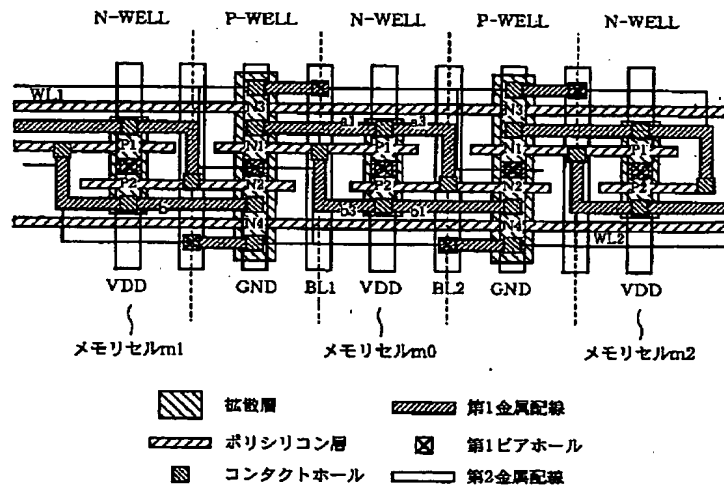
【図2】



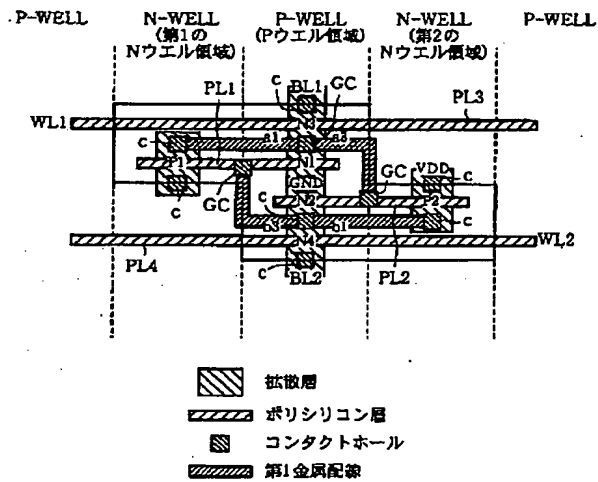
【図6】



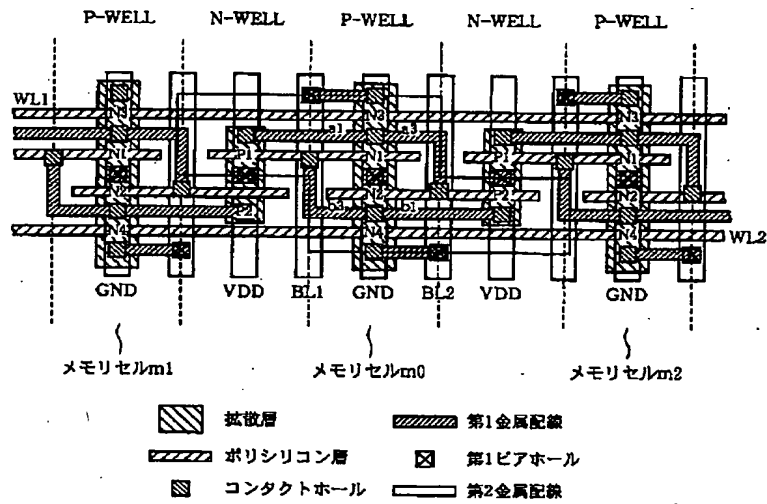
【図3】



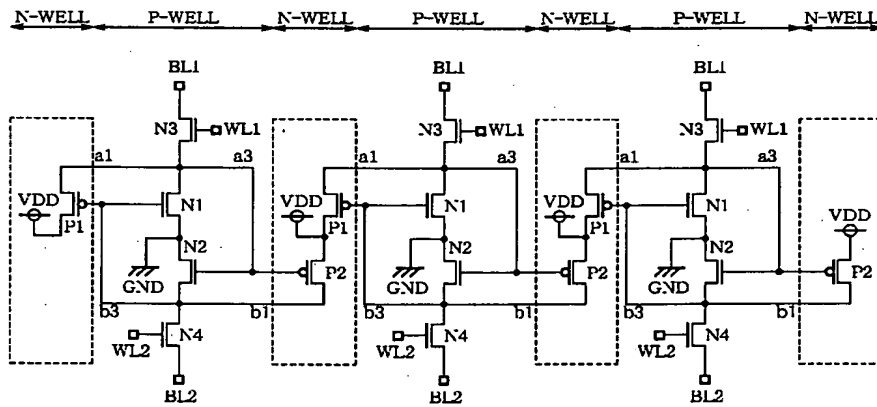
【図5】



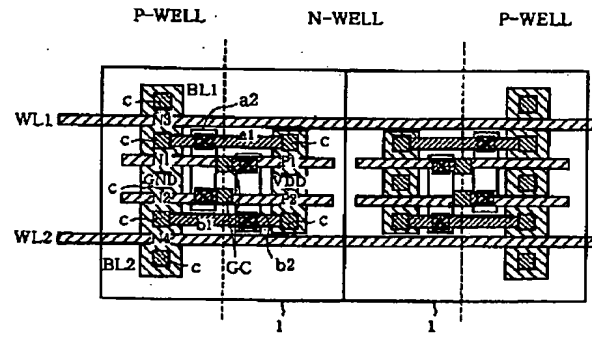
【図7】









【図8】



【図 9】



-  拡散層
-  ポリシリコン層
-  コンタクトホール
-  第1金属配線
-  第1ビアホール
-  第2金属配線